

B 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-137830

(43)Date of publication of application : 31.05.1996

(51)Int.Cl.

G06F 17/10

H03M 7/30

H04N 1/41

H04N 7/30

(21)Application number : 06-300100

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 10.11.1994

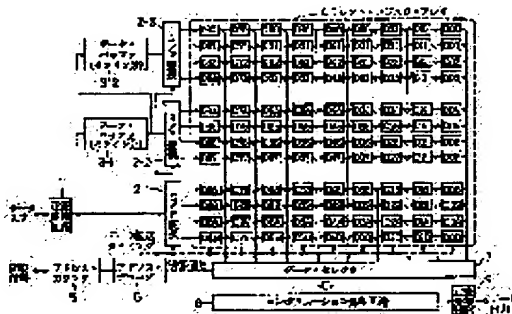
(72)Inventor : KAWASAKI TETSUYA

## (54) SIGNAL PROCESSOR

## (57)Abstract:

PURPOSE: To provide a signal processor which is decreased in circuit scale and reduced in the number of constituent components without sacrificing characteristics of convolution processing.

CONSTITUTION: This signal processor consists of a scanning converting circuit 1 which divides a two-dimensional digital data array into plural blocks and converts input data obtained by scanning the blocks, one by one, into the scanning order of an array format, data buffers 3-1 and 3-2 which delay the output data from the scanning converting circuit 1, S/P converting circuits 2-1, 2-2, and 2-3 which output output data from the scanning converting circuit 1 or data buffers 3-1 and 3-2 in parallel, a shift register array 4 which stores the data from the S/P converting circuits, a data selector 7 which takes data out of the shift register array 4, and a convolution processing circuit 8 which performs the convolution processing by using the taken-out data and a two-dimensional coefficient array.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-137830

(43) 公開日 平成8年(1996)5月31日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 17/10				
H 0 3 M 7/30	A	9382-5K		
H 0 4 N 1/41	Z			
			G 0 6 F 15/31	A
			H 0 4 N 7/133	Z
審査請求 未請求 請求項の数 4 F D (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-300100

(22) 出願日 平成6年(1994)11月10日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 川崎 哲哉

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

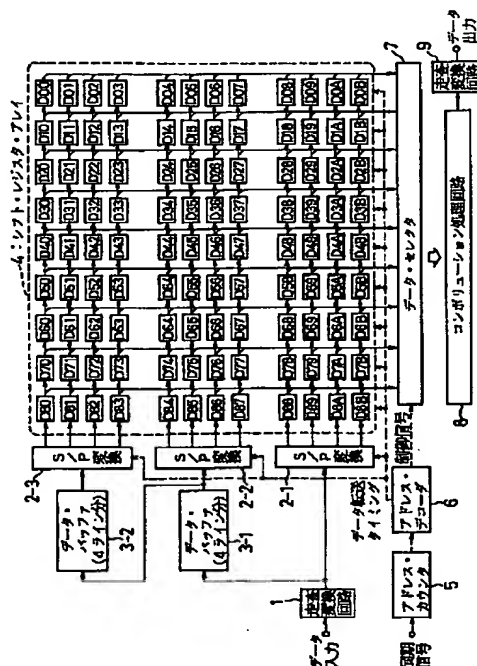
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 信号処理装置

(57) 【要約】

【目的】 コンボリューション処理の特性を犠牲にすることなく、回路規模及び構成部品を削減できるようにした信号処理装置を提供する。

【構成】 2次元のデジタル・データ配列を複数ブロックに分割しブロック毎に走査して得られた入力データを列フォーマットの走査順序に変換する走査変換回路1と、該走査変換回路1からの出力データを遅延させるデータ・バッファ3-1、3-2と、走査変換回路1又はデータ・バッファ3-1、3-2からの出力データを並列出力するS/P変換回路2-1、2-2、2-3と、S/P変換回路からのデータをストアするシフト・レジスタ・アレイ4と、シフト・レジスタ・アレイ4のデータを取り出すデータ・セクタ7と、取り出されたデータと2次元の係数配列とを用いてコンボリューション処理を行うコンボリューション処理回路8とで信号処理装置を構成する。



## 【特許請求の範囲】

【請求項 1】 2次元のデジタル・データ配列を所定の大きさの複数のブロックに分割し、ブロック毎に走査して得られた時系列の入力データと所定の2次元の係数配列とのコンボリューション処理を行う信号処理装置において、前記入力データの走査順序を列フォーマットの走査順序に変換する走査変換回路と、前記2次元のデジタル・データ配列の1行を構成するデータの数と前記所定の大きさのブロックの1列を構成するデータの数とを掛け合わせたデータ数を1ステージとして、前記走査変換回路から出力されるデータを所定のステージ数遅延させ、且つ各ステージ毎の遅延データを出力できる遅延手段と、該遅延手段の各ステージの遅延データ及び前記走査変換回路からの出力データを入力とし、同一ブロック内の列データを並列に出力するシリアル／パラレル変換回路と、該シリアル／パラレル変換回路から並列に出力されるデータを、同じ行アドレスを持つデータ毎にシフトしながら所定の数のデータをストアするシフト・レジスタ・アレイと、該シフト・レジスタ・アレイにストアされたデータから、コンボリューション処理に必要な複数のデータを取り出すデータ・セクタと、該データ・セクタによって取り出された複数のデータと前記所定の2次元の係数配列とを用いてコンボリューション処理を行うコンボリューション処理回路とからなる信号処理装置。

【請求項 2】 前記入力データの走査方向を列フォーマットのブロック走査順序に規定することにより、前記走査変換回路を省略することを特徴とする請求項 1 記載の信号処理装置。

【請求項 3】 前記2次元の係数配列を構成する列の数が 1 の場合に、前記シリアル／パラレル変換回路に前記シフト・レジスタ・アレイの機能を統合させるように構成することを特徴とする請求項 1 又は 2 記載の信号処理装置。

【請求項 4】 前記コンボリューション処理回路からの出力に対して行方向のフィルター処理を行う回路を追加したことを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の信号処理装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、2次元のデジタル・データ配列を複数のブロックに分割し、ブロック毎に走査して得られた時系列の入力データと、所定の2次元の係数配列とのコンボリューション処理を行う信号処理装置に関する。

【0002】

【従来の技術】 例えば、9行9列の2次元係数配列を用いた2次元のコンボリューション処理装置は、一般に図 4 に示すような構成が用いられている。すなわち、2次元のデジタル・データ配列を走査することによって得

られる時系列の入力データが、図 5 に示すようなラスタ走査順序でない場合は、まず走査変換回路 101 によりラスタ走査順序に変換される。そして、走査変換回路 101 によって得られたラスタ走査順序の時系列のデータは、もとの2次元のデジタル・データ配列の 1 行（ラインと定義する）を構成するデータ数分の遅延量を持つ遅延手段、すなわちライン・バッファ 102-1 で遅延されると共に、シフト・レジスタ・アレイ 103 に供給される。また、このライン・バッファ 102-1 からの出力は、ライン・バッファ 102-2 と共に、シフト・レジスタ・アレイ 103 に供給される。

【0003】 同様に、各ライン・バッファ 102-2 ～ 102-7 の出力は、それぞれ次段のライン・バッファ 102-3 ～ 102-8 と共にシフト・レジスタ・アレイ 103 に供給され、最後のライン・バッファ 102-8 の出力もシフト・レジスタ・アレイ 103 に供給される。これらのライン・バッファ 102-1 ～ 102-8 は、係数配列の 1 列を構成する係数の数から 1 を引いた個数だけ必要で、この構成例の場合は 8 個のライン・バッファが必要となる。各ライン・バッファ 102-1 ～ 102-8 からは、入力データに対してそれぞれ 1 ラインずつ遅延した 8 つのデータが出力される。すなわち、入力データを含めて列方向に並んだ 9 つのデータがシフト・レジスタ・アレイ 103 に供給されることになる。

【0004】 シフト・レジスタ・アレイ 103 は、係数配列の 1 行を構成する係数の数と同じステージ数を持つ（この構成例の場合は 9 ステージ）複数のシフト・レジスタ D00 ～ D88 で構成され、各行毎に 8 つ前までのデータをストアする。シフト・レジスタは、係数配列の 1 列を構成する係数の数と同じ個数だけ必要で、この構成例の場合は 9 つ必要となる。

【0005】 以上の構成をとることによって、シフト・レジスタ・アレイ 103 上には、もとの2次元データ配列の部分配列（9行9列）が再構成される。例えば、レジスタ D00 に第 1 ラインの最初のデータがストアされた時、レジスタ D10 には第 1 ラインの 2 番目のデータが、レジスタ D01 には第 2 ラインの最初のデータが、レジスタ D88 には第 9 ラインの 9 番目のデータがストアされる。このように再構成された部分配列は、2次元の係数配列（9行9列）に対応している。すなわち、このシフト・レジスタ・アレイ 103 にストアされたデータと係数配列を用いて、コンボリューション処理回路 104 において、コンボリューション処理を行うことができる。そして、その結果をもとのラスタ走査に戻す走査変換回路 105 を介して出力することができる。

【0006】

【発明が解決しようとする課題】 代表的な 2 次元データである画像データの処理分野では、扱うデータ・サイズが大きく、ますます大規模化する傾向が強い。また、画像データの記録や通信などの分野では、データ量を圧縮

するために変換符号化が多く用いられるようになってきており、データの走査順序はブロック走査が一般的になってきている。

【0007】ところが、図4に示した従来のコンボリューション処理を行う信号処理装置においては、入力データがラスタ走査順序であることが要求されるため、ブロック走査順序のデータを処理するにはラスタ走査順序に変換する走査変換回路が不可欠である。更に、後段の構成によってはコンボリューション処理の後に、もとの走査フォーマットに戻す走査変換回路も必要となる。

【0008】ブロック走査順序からラスタ走査順序に、もしくはラスタ走査順序からブロック走査順序に変換するには、SRAMのようなランダム・アクセス可能な記憶手段を用いる必要がある。例えば、LSI-LOGIC社のLSIであるL64765では、SRAMの制御方法を工夫して最小限の容量で、この処理を実現しているが、それでも、1つのブロックの1列を構成するデータの数×1ラインのデータの数だけの容量が必要である。すなわち、この記憶手段の容量は処理する2次元データのサイズに依存し、特に、画像データを処理する場合には非常に大容量のものが要求される。そして、この記憶手段を他の回路とあわせて集積化することは困難であるため、記憶手段を別に用意する場合が多い。しかし、部品が増えることに加えてアドレスやデータなど多くの信号線が必要となり、スペース・ファクタを低下させていた。

【0009】また、列方向のデータを同時に得るためのライン・バッファも、データ・サイズに依存して大規模なものが要求されるために、FIFOのような汎用のデータ・バッファを用いて構成することが多い。しかし、係数配列の1列を構成する係数の数-1(図4に示した従来例では8)だけの個数が必要となり、スペース・ファクタを著しく低下させる。そのため、コンボリューション処理の特性を犠牲にして係数配列の行数を減らすなどの対策がとられていた。

【0010】本発明は、従来のコンボリューション処理を行う信号処理装置における上記問題点を解消するためになされたもので、請求項1記載の発明は、図6に示すような列フォーマット以外のブロック走査順序で入力するデータと2次元の係数配列とのコンボリューション処理を行う装置において、コンボリューション処理の特性を犠牲にすることなく、回路を構成する部品の数を削減できるようにした信号処理装置を提供することを目的とする。また請求項2記載の発明は、走査変換回路を省略できる信号処理装置を提供することを目的とし、請求項3記載の発明は、シフト・レジスタ・アレイを省略できる信号処理装置を提供することを目的とし、また請求項4記載の発明は、コンボリューション処理における乗算の数を削減できる信号処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段及び作用】上記問題点を解決するため、請求項1記載の発明は、2次元のデジタル・データ配列を所定の大きさの複数のブロックに分割し、ブロック毎に走査して得られた時系列の入力データと所定の2次元の係数配列とのコンボリューション処理を行う信号処理装置において、前記入力データの走査順序を列フォーマットの走査順序に変換する走査変換回路と、前記2次元のデジタル・データ配列の1行を構成するデータの数と前記所定の大きさのブロックの1列を構成するデータの数とを掛け合わせたデータ数を1ステージとして、前記走査変換回路から出力されるデータを所定のステージ数遅延させ、且つ各ステージ毎の遅延データを出力できる遅延手段と、該遅延手段の各ステージの遅延データ及び前記走査変換回路からの出力データを入力とし、同一ブロック内の列データを並列に出力するシリアル/パラレル変換回路と、該シリアル/パラレル変換回路から並列に出力されるデータを、同じ行アドレスを持つデータ毎にシフトしながら所定の数のデータをストアするシフト・レジスタ・アレイと、該シフト・レジスタ・アレイにストアされたデータから、コンボリューション処理に必要な複数のデータを取り出すデータ・セレクトと、該データ・セレクトによって取り出された複数のデータと前記所定の2次元の係数配列とを用いてコンボリューション処理を行うコンボリューション処理回路とで信号処理装置を構成するものである。

【0012】このような構成を採用することにより、ラスタ走査順序に変換することなしに、ブロック走査されたデータに対してコンボリューション処理を行うことが可能となり、したがって、入力するデータが列フォーマットでブロック走査されたものである場合は、走査変換回路そのものを省略できるし、またそれ以外のフォーマットでブロック走査されている場合も、ラスタ走査への変換の場合に比べ、はるかに小規模な回路で構成できる。例えば、行フォーマットのブロック走査から列フォーマットのブロック走査への変換は、従来と同じ処理方法を用いると1つのブロックを構成するデータの数と同じ容量の記憶手段で実現できる。また列方向のデータを得るための遅延手段の個数も大幅に削減することができる。

【0013】また請求項2記載の発明は、請求項1記載の信号処理装置において、入力データの走査方向を列フォーマットのブロック走査順序に規定することにより、走査変換回路を省略することの特徴とするものであり、このように入力データが列フォーマットの走査順序である場合には、走査変換回路を省略することができる。また請求項3記載の発明は、請求項1又は2記載の信号処理装置において、2次元の係数配列を構成する列の数が1の場合に、シリアル/パラレル変換回路にシフト・レジスタ・アレイの機能を統合させるように構成するもの

である。このように係数配列が1列のみで構成されている場合は、シリアル／パラレル変換回路の出力を直接データ・セクタに供給でき、シフト・レジスタ・アレイを省略することができる。また請求項4記載の発明は、請求項1～3のいずれか1項に記載の信号処理装置において、コンボリューション処理回路からの出力に対して、行方向のフィルタ処理を行う回路を追加するものである。これにより、コンボリューション処理における乗算の数を低減することができる。

【0014】

【実施例】次に実施例について説明する。図1は本発明に係る信号処理装置の実施例を示すブロック構成図である。この実施例は、2次元のデジタル・データを4行4列のブロックに分割し、ブロック毎に走査して得られた時系列のデータと、9行9列の2次元係数配列とのコンボリューション処理を行うようにした信号処理装置に、本発明を適用したものである。

【0015】図1において、入力データは、2次元のデジタル・データ配列を所定の基準クロックの立ち上がり同期してブロック走査の順序に走査することで得られた時系列のデータである。そして特に指定のない限り、データの処理はこの基準クロックに同期して行われることとする（なお図1においては、基準クロックは図示を省略している）。

【0016】入力データは、まず走査変換回路1で列フォーマットのブロック走査の順序に変換される。最初から列フォーマットのブロック走査の順序のデータが得られる場合は、この走査変換回路1は省略できる。列フォーマットのブロック走査の順序に変換されたデータは、シリアル／パラレル（S/P）変換回路2-1に供給されると共に、1ラインのデータ数×1つのブロックの1列を構成するデータの数（本実施例の場合は4）の遅延量をもつ遅延手段、すなわちデータ・バッファ3-1で遅延される。このデータ・バッファ3-1で遅延されたデータは、S/P変換回路2-2に供給されると共に、更に4ライン分の遅延量をもつデータ・バッファ3-2で遅延される。2つのデータ・バッファ3-1、3-2で合計8ライン分遅延されたデータは、S/P変換回路2-3に供給される。

【0017】S/P変換回路2-1～2-3は、図2に示すように、1つのブロックの1列を構成するデータの数（本実施例の場合は4）のステージ数を持つシフト・レジスタ11と出力用レジスタ12-1～12-4とで構成され、同一ブロック内の1列分のデータが全てシフト・レジスタ上にストアされた時点で、ストアしたデータを出力用レジスタ12-1～12-4に転送する。すなわち、S/P変換回路2-1～2-3からは、列方向に並んだ12個のデータが並列に出力され、シフト・レジスタ・アレイ4に供給されることになる。

【0018】シフト・レジスタ・アレイ4は、係数配列

の1行を構成する係数の数と同じステージ数（本実施例の場合は9）を持つ複数のシフト・レジスタD00～D88で構成され、S/P変換回路2-1～2-3から出力されるデータをシフトしながらストアする。S/P変換回路2-1～2-3からは列方向に並んだデータが供給されるため、シフト・レジスタ・アレイ4上にはもとのデータ配列の部分配列（9行12列）が再構成される。

【0019】一方、アドレス・カウンタ5は、入力データに同期した同期信号をもとに基準クロックをカウントし、入力するデータのアドレスを検出して出力する。アドレス・デコーダ6は、アドレス・カウンタ5からのアドレスをもとに、S/P変換回路2-1～2-3やシフト・レジスタ・アレイ4におけるデータ転送のタイミングを発生すると共に、コンボリューション処理に必要なデータを選択するための制御信号を出力する。この制御信号は、レジスタD44～47のレジスタにストアされているどのデータを中心としてコンボリューション処理を行うかを指定するものであり、S/P変換のタイミングに対して、図3に示すように規定される。

【0020】データ・セクタ7は、アドレス・デコーダ6から入力する制御信号をもとに、シフト・レジスタ・アレイ4上にストアされたデータから必要な複数のデータを選択して、コンボリューション処理回路8のコンボリューション・フィルタに出力する。例えば、制御信号がレジスタD44を指定している場合、レジスタD00～D08、D10～D18、D20～D28、D30～D38、D40～D48、D50～D58、D60～D68、D70～D78、D80～D88にストアされたデータを読み出し、制御信号がレジスタD46を指定している場合は、レジスタD02～D0A、D12～D1A、D22～D2A、D32～D3A、D42～D4A、D52～D5A、D62～D6A、D72～D7A、D82～D8Aにストアされたデータを読み出す。コンボリューション処理回路8は、データ・セクタ7から出力されるデータと所定の係数配列とを用いてコンボリューション処理を行い、その結果を、もとの走査フォーマットに変換する走査変換回路9を介して出力する。

【0021】このような構成の信号処理装置を用いることにより、ブロック走査の順序で入力するデータをラスト走査の順序に変換することなく、コンボリューション処理を行うことができるため、走査変換回路の規模を削減できる。更に、列方向のデータを得るための遅延手段の個数も大幅に削減される。例えば、この実施例においては、従来例においては8個必要だったものが2個に削減されている。そのためスペース・ファクタに束縛されることなく、必要な特性のコンボリューション処理を行うことができる。一方、遅延手段であるデータ・バッファ1つ当たりの記憶容量は、従来に比べて大容量のものが要求されるが、汎用のデータ・バッファには画像用のフレーム・バッファのような大容量のものが比較的安価に供給されており、コスト的なデメリットはない。

【0022】また、上記実施例において、入力データが最初から列フォーマットのブロック走査順序である場合は、走査変換回路自体を省略することができる。また、上記実施例では、シフト・レジスタ・アレイのステージ数は係数配列の1行を構成する係数の数と同じものを示したが、S/P変換回路の出力を直接コンボリューション処理に使用することにより、シフト・レジスタ・アレイの規模を1ステージ減らすことができる。したがって、係数配列が1次元の列行列である場合は、シフト・レジスタ・アレイを省略することができる。

【0023】更に、2次元の係数配列が、ある列行列にある行行列をかけることによって得られるものと等価である場合には、2次元のコンボリューション処理を列方向の処理と行方向の処理に分けて行うことができる。すなわち、上記実施例の構成に行方向の処理回路を追加する構成で、2次元のコンボリューション処理を行うことができる。この構成をとることによって、コンボリューション処理における乗算の数を減らすことができる。例えば、 $9 \times 9$ の係数配列を用いたコンボリューション処理では、必要な乗算の数が81から18に削減できる。

【0024】

【発明の効果】以上実施例に基づいて説明したように、請求項1記載の発明によれば、ブロック走査の順序で入力するデータをラスタ走査の順序に変換することなく、コンボリューション処理を行うことができるため、走査変換回路の規模や構成部品を削減することができ、それにより、コストの削減や装置の信頼性の向上を図ることができ、更には消費電力や輻射ノイズの低減、処理時間の短縮などの効果も得られる。また請求項2記載の発明によれば、入力データを最初から列フォーマットのブロック走査順序とすることにより、走査変換回路自体を省略することができる。また請求項3記載の発明によれば、2次元の係数配列を構成する列の数が1の場合に、シリアル/パラレル変換回路にシフト・レジスタ・アレ

キの機能をもたせ、シフト・レジスタ・アレイを省略することができる。また請求項4記載の発明によれば、コンボリューション処理回路からの出力に対して行方向のフィルタ処理を行う回路を追加することにより、コンボリューション処理における乗算の数を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る信号処理装置の実施例を示すブロック構成図である。

10 【図2】図1に示した実施例におけるS/P変換回路の構成例を示すブロック構成図である。

【図3】図1に示した実施例におけるアドレス・デコーダの出力信号のタイミングを示す図である。

【図4】従来の信号処理装置の構成例を示すブロック構成図である。

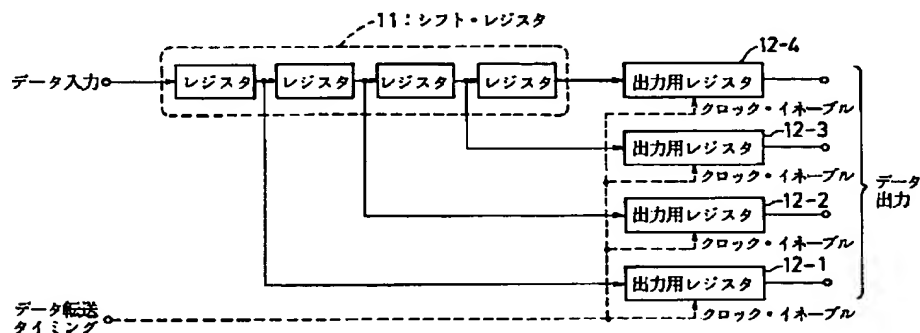
【図5】ラスタ走査順序の態様を示す説明図である。

【図6】列フォーマットのブロック走査順序の態様を示す説明図である。

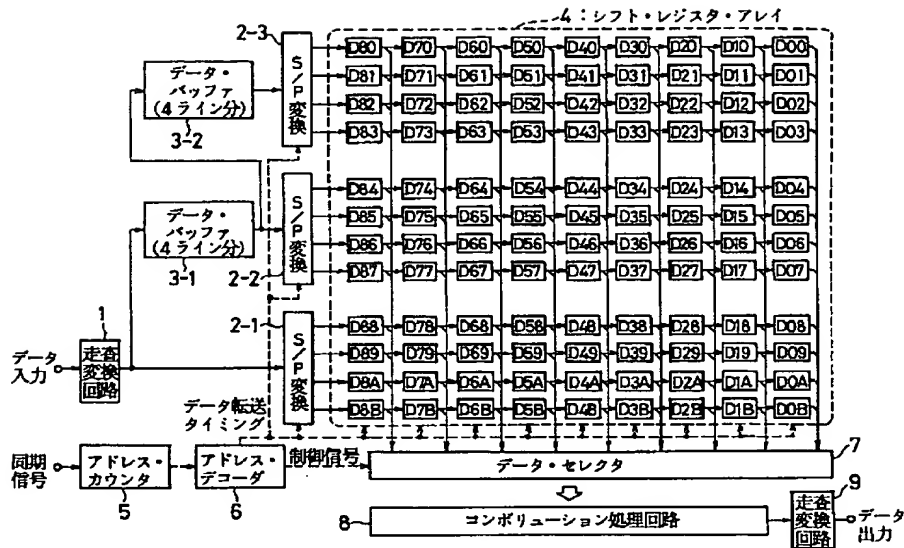
【符号の説明】

- 1, 9 走査変換回路
- 2-1, 2-2, 2-3 S/P変換回路
- 3-1, 3-2 データ・バッファ
- 4 シフト・レジスタ・アレイ
- 5 アドレス・カウンタ
- 6 アドレス・デコーダ
- 7 データ・セレクト
- 8 コンボリューション処理回路
- 11 シフト・レジスタ
- 12-1, 12-2, 12-3, 12-4 出力用レジスタ
- 30 101, 105 走査変換回路
- 102-1 ~ 102-8 ライン・バッファ
- 103 シフト・レジスタ・アレイ
- 104 コンボリューション処理回路

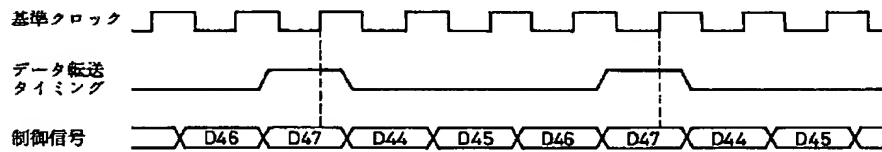
【図2】



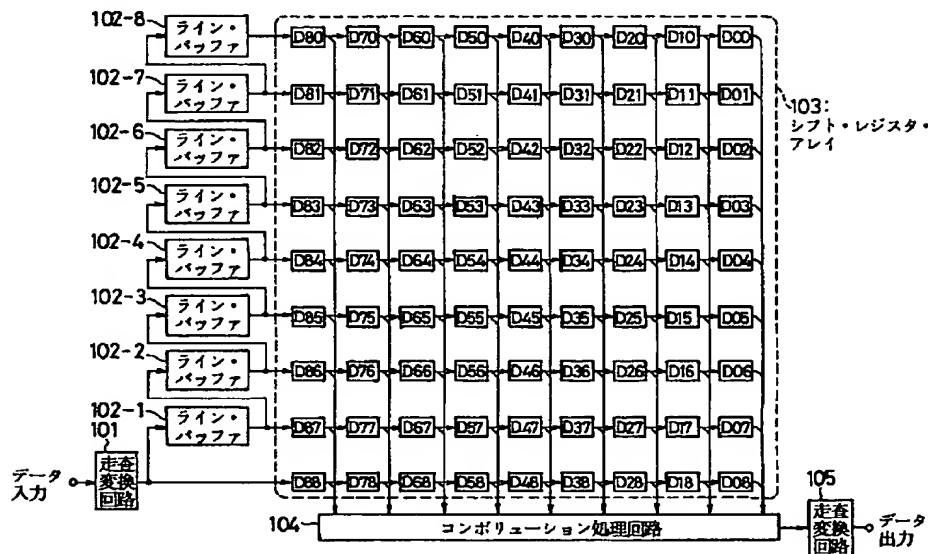
【図1】



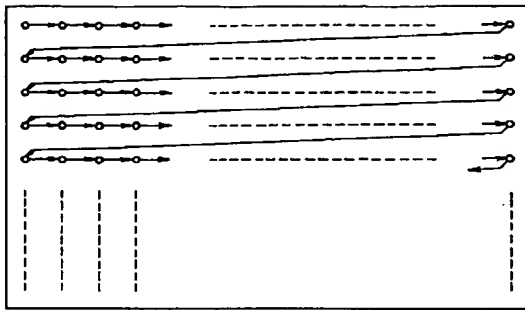
【図3】



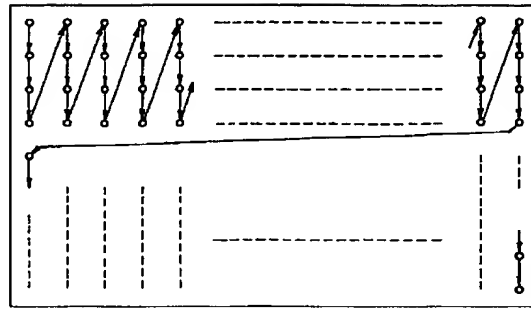
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 4 N 7/30

識別記号

片内整理番号

F I

技術表示箇所